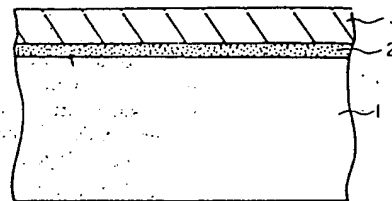


# (51) METHOD FOR FORMING INSULATION LAYER ON SEMICONDUCTOR SURFACE

- (11) 60-173867 (A) (43) 7.9.1985 (19) JP  
 (21) Appl. No. 59-20061 (22) 8.2.1984  
 (71) NIPPON DENSHIN DENWA KOSHA (72) SHINICHI OOFUJI  
 (51) Int. Cl. H01L27/04, H01L21/316

**PURPOSE:** To enable the reduction in leakage current by a method wherein a tantalum oxide is formed as a desired insulation layer by heating oxidation in an atmosphere of oxygen gas after a tantalum film is deposited directly on the semiconductor surface in an atmosphere containing hydrogen gas or via insulation layer adhered previously.

**CONSTITUTION:** After an interelement isolation Si oxide film and the like are formed on the part other than the capacitor-forming part on the surface of an Si substrate 1, the Si oxide layer in the capacitor-forming part is removed, thus exposing a clean Si surface. Next, a Ta film about 200 Å thick is deposited by sputtering Ta as the target in an atmosphere of Ar-H<sub>2</sub> mixed gas at  $1.3 \times 10^{-2}$  Torr. Otherwise, the film can be deposited by using electron beam evaporation in an atmosphere of hydrogen gas under a pressure of  $10^{-6} \sim 10^{-4}$  Torr. Thereafter, a Ta<sub>2</sub>O<sub>5</sub> film 2 of about 400 Å thick is produced out of the Ta film by thermal oxidation at a temperature of 350°C ~ 600°C in an atmosphere of oxygen gas at 1 atm. Then, Al is evaporated by resistance heating evaporation and processed by etching into an Al electrode 3.

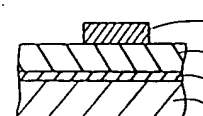
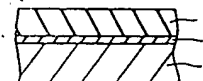


# (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

- (11) 60-173868 (A) (43) 7.9.1985 (19) JP  
 (21) Appl. No. 59-28609 (22) 20.2.1984  
 (71) TOSHIBA K.K. (72) AKIRA CHIYOUKAI  
 (51) Int. Cl. H01L27/04, H01L21/316, H01G4/10

**PURPOSE:** To obtain good-quality oxide films of high dielectric constant as the insulation films of MIS capacitors by a method wherein a layer containing a metal serving as the base of an oxide film and silicon is formed on the first electrode, and the oxide film is formed by heat-treating this layer in an oxidizing atmosphere; further, the second electrode is provided on this oxide film.

**CONSTITUTION:** Tantalum as the metal serving as the base of the oxide film of high dielectric constant and silicon 2 are adhered on the surface of a P type Si substrate 1 to a thickness approx. 200 Å by electron beam evaporation. In this case, the ratio of atomic weights of both substances is set at e.g. 1:0.5. Insulation films 3 and 4 are formed by oxidizing it in dry oxygen at 900°C. Further, aluminum is deposited as a gate electrode by sputtering, and the upper electrode 5 is obtained by patterning that electrode; accordingly, a capacitor of desired size is obtained. As the metal serving as the base of the oxide film 3 of high dielectric constant, niobium or titanium can be used besides tantalum or can be adhered in the form of its oxide. From the view of characteristics, it is preferable that the silicon is smaller than the metal in the ratio of atomic weight.

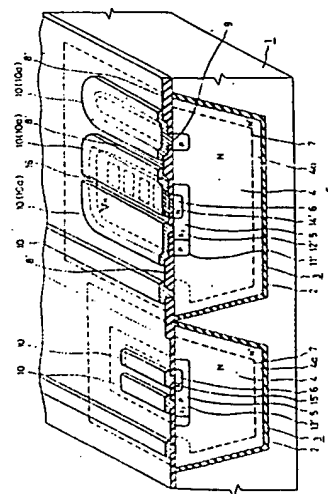


# (54) SEMICONDUCTOR IC DEVICE

- (11) 60-173869 (A) (43) 7.9.1985 (19) JP  
 (21) Appl. No. 59-16961 (22) 3.2.1984  
 (71) NIPPON DENSHIN DENWA KOSHA (72) TETSUTADA SAKURAI(1)  
 (51) Int. Cl. H01L27/06, H01L21/76, H01L29/06

**PURPOSE:** To improve the integration degree by a method wherein the insulation film under a field plate electrode, a high withstand voltage element, is formed thinly in the neighborhood of the first P-N junction and thickly in the periphery, and the second P-N junction is split in a specific number, thus making the depths of P-N junction of the high withstand voltage element and a low withstand voltage element almost equal.

**CONSTITUTION:** The insulation film 8' under the field plate electrode 10a, the high withstand voltage element, is formed thinly in the neighborhood of the first P-N junction 12' and thickly in the periphery; besides, the second P-N junction 14' is m-split into  $S_H/m \leq S_L$  (where,  $S_H$  is the junction area of the second P-N junction 14', the high withstand voltage element;  $S_L$  is the junction area of the second P-N junction 15', the low withstand voltage element; (m) is a natural number), thus making the depths of P-N junction of the high and low withstand voltage elements almost equal. In other words, the element that needs the characteristic of high withstand voltage is provided with local stepwise differences in such a manner that the insulating protection film 8' under the field plate electrode 10a becomes thinner in the P-N junction and thicker in the periphery of a corresponding field plate electrode 10. Further, the third semiconductor region 6 as the cathode of the second P-N junction 14' of the P-N-P-N element C is provided by splitting.



**THIS PAGE BLANK (USPTO)**

## ⑫ 公開特許公報(A)

昭60-173867

⑤ Int. Cl.

H 01 L 27/04  
21/316

識別記号

庁内整理番号

C-8122-5F  
7739-5F

⑬ 公開 昭和60年(1985)9月7日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体表面に絶縁層を形成する方法

⑮ 特 願 昭59-20061

⑯ 出 願 昭59(1984)2月8日

⑰ 発 明 者 大 藤 晋 一 厚木市小野1839番地 日本電信電話公社厚木電気通信研究  
所内

⑱ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑲ 代 理 人 弁理士 白水 常雄 外1名

## 明 細 書

## 1. 発明の名称

半導体表面に絶縁層を形成する方法

## 2. 特許請求の範囲

(1) 水素ガスを含む雰囲気中で半導体表面に直接又は予め被着される絶縁層を介してタンタル膜を堆積した後、酸素ガス雰囲気中で加熱酸化してタンタル酸化物を所望の絶縁層として形成することを特徴とする半導体表面に絶縁層を形成する方法。

## 3. 発明の詳細な説明

(発明の技術分野)

本発明は、半導体基板上に電気的絶縁層を形成する方法に関し、さらに詳しくは、半導体-絶縁物-導体(金属)の積層構造の形成方法に関するものである。

(従来技術)

半導体装置に於ては、種々の素子を形成するために半導体基板表面に絶縁層を形成する必要がある。例えばMOS型半導体装置においては、Si基板表面にSiO<sub>2</sub>層を形成し、その上に不純物添加多結晶Siまたは金属等から成る電極を形成して、MOS電界効果トランジスタやキャパシタを構成している。従来、この絶縁性SiO<sub>2</sub>層としては、酸素ガス雰囲気中でSi基板を900~1000℃の高温で酸化して形成したものが広く用いられてきた。また、その膜厚は数百Åである。しかし、近年の半導体装置の大規模化と高密度化に伴ない各素子の微細化が要求され、SiO<sub>2</sub>層の厚さも300Å以下となり、薄層化も限界に近づいている。このため、SiO<sub>2</sub>に代る新しい絶縁材料として高誘電率のTa<sub>2</sub>O<sub>5</sub>膜が研究されている。このTa<sub>2</sub>O<sub>5</sub>膜は、SiO<sub>2</sub>に比較して誘電率が約5倍と高いため、SiO<sub>2</sub>と等しい膜厚では大容量が得られ、ゲート絶縁膜に用いた場合には、しきい値電圧の低減に寄与することができる。一方、Ta<sub>2</sub>O<sub>5</sub>膜をSi基板表面に形成するためには、熱酸化によるSiO<sub>2</sub>層形成とは異なり、Ta<sub>2</sub>O<sub>5</sub>

膜を蒸着させる必要がある。この場合、被着膜の一般的な性質として、熱酸化膜に比べてリーク電流が大きくなるという欠点を有する。

従来検討されてきた $Ta_2O_5$ 膜の形成法は、主にこのリーク電流特性の改善に着目したもので、例えば $Ar-O_2$ 混合ガス中での $Ta_2O_5$ ターゲットのスパッタリング法、スバクタリングまたは蒸着法で堆積したTa膜の陽極酸化または熱酸化法、及びTa塩化物等を原料とした化学的気相成長法などが提案されている。従来方法に於ては、リーク電流の欠点を解決するために、各形成条件、例えば基板温度、雰囲気ガス組成、堆積速度などの最適化が検討されてきた。しかし、いずれの方法においても十分な改善は見られておらず、他の誘電率、トラップ密度等の性能に一長一短がある。

#### (発明の目的)

本発明は、これらの従来方法の欠点を解決するために、水素ガスを含む雰囲気中でスバクタ法または蒸着法を用いて水素を吸収したTa膜を半導体基板表面に堆積した後、酸素雰囲気中で熱酸化し

度の圧力のArまたは $Ar-O_2$ 混合ガス雰囲気中でTaをターゲットとしてスバクタリングするか、または、 $\sim 10^{-3}$ Torr程度の圧力の真空中でTaを電子ビーム蒸着法で蒸着し、絶縁層用のTa膜を形成した。本発明では、この代りに $1.3 \times 10^{-2}$ Torrの $Ar(23\%) - H_2(77\%)$ 混合ガス雰囲気中でTaをターゲットとしてスバクタリングし、厚さ約200ÅのTa膜を堆積させる。ここではスバクタ法を用いたが、 $10^{-3} \sim 10^{-2}$ Torrの圧力の水素ガス雰囲気中で電子ビーム蒸着法を用いて堆積させても良い。Taは、高融点金属のタタン、ジルコニウム、ハフニウム、バナジウム、ニオブ等と同様に、クロム、モリブデン、タングステン等と比較して水素ガス吸収性が強いことが知られている(小栗多計夫「応用物理」第47巻、951(1978))。この後は、従来工程と同様に1気圧の酸素ガス雰囲気中で $350^\circ \sim 600^\circ C$ の温度で熱酸化を行ない、Ta膜から厚さ約400Åの $Ta_2O_5$ 膜2を生成する。その後、抵抗加熱蒸着法によりAlを蒸着し、蝕刻加工してAl電極3を形成する。

て $Ta_2O_5$ 膜を形成することにより、リーク電流を低減化することを可能にした半導体表面に絶縁層を形成する方法を提供するものである。

#### (発明の構成及び作用)

以下、本発明の特徴ならびに効果を明瞭ならしめるために、実施例について詳細に説明する。なお、実施例は1つの例示であつて、本発明の精神を逸脱しない範囲で種々の変更あるいは改良を行い得ることは言うまでもない。

第1図は、本発明によるMOS型半導体装置のキャパシタ部の基本的構成を示すためのもので、1はSi基板、2はキャパシタ誘電体層として用いた $Ta_2O_5$ 膜、3はAl電極である。この実施例の製法を第1図を用いて説明する。本発明では、Taの熱酸化で $Ta_2O_5$ 膜を形成している。まず、Si基板1の表面のキャパシタ形成部以外に素子間分離用Si酸化膜等を形成した後、キャパシタ形成部のSi酸化膜層を除去し、清浄なSi表面を露出させる。本発明では、次の $Ta_2O_5$ 膜2の形成工程が従来と異なる。すなわち、従来では、 $10^{-3} \sim 10^{-2}$ Torr程

以上説明したように、本発明ではTa膜の形成を水素ガス雰囲気中で行なうことを基本的な特徴とする。

次に、本実施例に基づき製作したキャパシタのリーク電流特性について図面を用いて説明する。第2図は、p型、 $5 \Omega \cdot cm$ のSi基板上に形成した250μm角のAl電極キャパシタについて、このAl電極に負電圧を印加した時の電界強度の絶対値の平方根とリーク電流密度との関係を示す。ただし、Taの酸化条件は、 $400^\circ C$ 、210分である。Aは従来方法によりTa膜のスバクタリングを $7.5 \times 10^{-3}$ Torrの圧力のArガス雰囲気中で行なつた試料の特性、Bは本発明の実施例に示した条件に基づき $Ar-H_2$ 混合ガス雰囲気中のスバクタでTa膜を形成した場合の特性である。1μm角のゲート電極部での許容されるリーク電流を最大 $5 \times 10^{-12} A$ と見做した場合、この値は第2図に於いて電流密度 $1 \times 10^{-8} A/cm^2$ に対応する。この時の電界強度は、Aでは $0.6 \times 10^3 \sqrt{V/cm}$ であるが、Bでは電界強度が高まり $0.8 \times 10^3 \sqrt{V/cm}$ に改善される。また、

この電界強度  $0.8 \times 10^3 \sqrt{V/cm}$  では、A のリーク電流密度は B に比べて  $10^3$  倍以上と高く、実用に供し得ない。

本発明におけるこれらのリーク電流の低減効果の機構については未だ明確ではないが、推測される原因としては、Ta 膜堆積時に膜中に吸収された水素が熱酸化中の酸素ガスと作用しあつて Ta 膜の酸化速度を高めるとともに、Si 基板表面と Ta<sub>2</sub>O<sub>5</sub> 膜との界面に極めて薄い SiO<sub>2</sub> 層を形成していることが考えられる。予め基板表面に SiO<sub>2</sub> 層を形成した後に Ta<sub>2</sub>O<sub>5</sub> 膜を形成するとリーク電流密度が著しく減少し、例えば電界強度  $1.5 \times 10^3 \sqrt{V/cm}$  に於ても電流密度を  $1 \times 10^{-9} A/cm^2$  以下にすることが可能なことは広く知られている。従つて、界面の SiO<sub>2</sub> 層生成はリーク電流の低減に著しい効果を及ぼすと考えられる。Ta 膜の熱酸化時に該界面に SiO<sub>2</sub> 層を同時に形成する方法としては、ウェット酸素雰囲気中での熱酸化法が報告されている（加藤、伊藤、第 44 回応用物理学会学術講演会講演予稿集、26p-N-12、応用物理学会、1983.9.）。

成した絶縁膜をゲート絶縁膜やキャパシタ誘電体として含む MOS 型半導体装置を製造した場合、本発明はその信頼性を著しく向上させる効果を有する。

なお、実施例として MOS 型半導体装置を取り上げて本発明の作用と効果を示したが、MOS 型半導体装置に限らず例えばバイポーラ型半導体装置等の各種絶縁膜にも本発明を用いることができることは明らかである。また、従来方法により形成した絶縁膜上に積層させて本発明による絶縁層を形成することができることも明らかである。

#### 4. 図面の簡単な説明

第 1 図は、本発明により製造した MOS 型半導体装置のキャパシタ部の基本構成を示す断面図、第 2 図は本発明の実施例についてリーク電流特性を示す図である。

1 … Si 基板、 2 … Ta<sub>2</sub>O<sub>5</sub> 膜、 3 … AL 電極。

特許出願人 日本電信電話公社

代理人 白水常雄

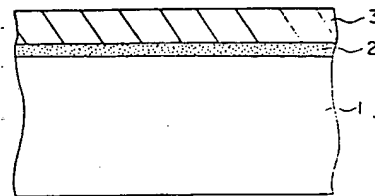
しかし、この方法では 800℃ 以上の高温熱処理を要し、SiO<sub>2</sub> 層の厚さを 50 Å 以下で制御するのは困難である。これに対して、本発明のごとく水素原子を適量な量に予め吸収させておけば、比較的低温の熱処理でウェット酸化と同様の効果が得られ、かつ極めて薄い界面生成層の形成が可能になるものと推測される。また、本機構で形成された界面 SiO<sub>2</sub> 層は、基板から Ta<sub>2</sub>O<sub>5</sub> 膜中への Si 原子の移動を抑制して Ta<sub>2</sub>O<sub>5</sub> 膜の純度を高め、リーク電流を低減させていることも考えられる。

また、他の原因として、熱酸化時に水素が膜外に放出されることにより、Ta 膜の酸化に伴なう体積膨張が抑制され、Ta<sub>2</sub>O<sub>5</sub> 膜の内部応力が減少し、リーク電流特性が改善されることが考えられる。

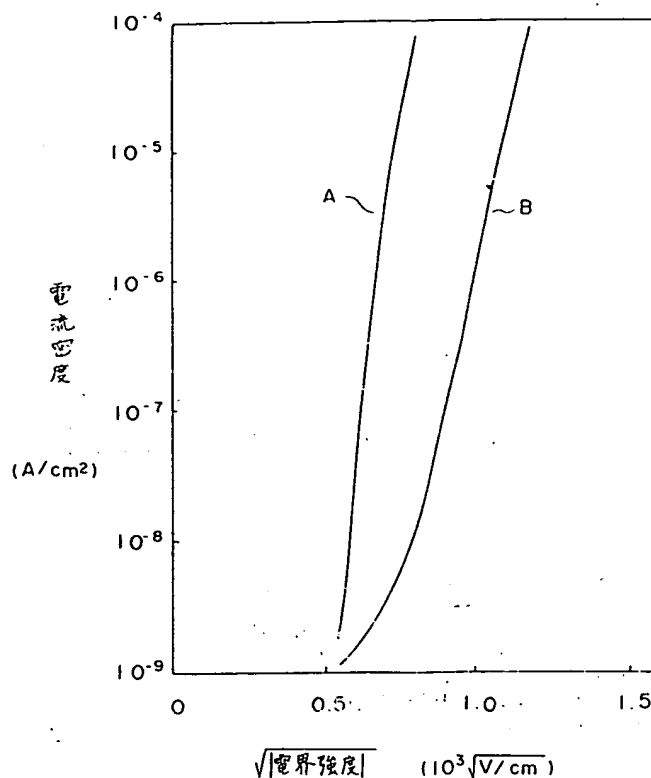
#### （効果）

以上、実施例を用いて説明したように、本発明に従つて、Ta 膜堆積時に水素ガスを膜中に吸収させた後、酸素雰囲気中で熱酸化することにより Ta<sub>2</sub>O<sub>5</sub> 絶縁膜のリーク電流を著しく低減できることが明らかになつた。従つて、このようにして形

第 1 図



系 2 図



DOCKET NO: GR 99 P 5363  
 SERIAL NO: 09/729,058  
 APPLICANT: Krasemann et al.  
 LERNER AND GREENBERG P.A.  
 P.O. BOX 2480  
 HOLLYWOOD, FLORIDA 33022  
 TEL. (954) 925-1100